

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-178765  
 (43)Date of publication of application : 11.10.1984

(51)Int.CI. H01L 27/10  
 G11C 11/34  
 H01L 29/78

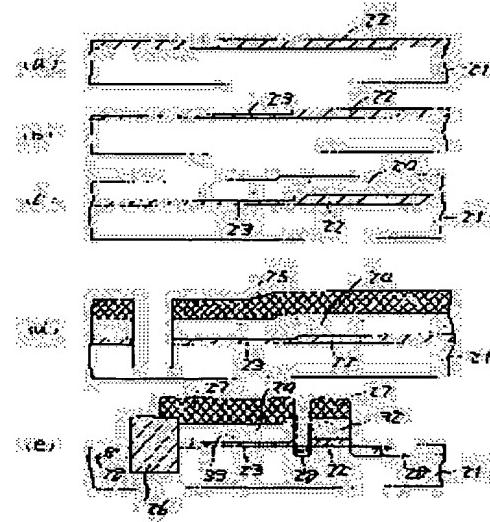
(21)Application number : 58-052728 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 30.03.1983 (72)Inventor : HIEDA KATSUHIKO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To increase the occupation area of a capacitor by a method wherein the gate electrode and the capacitor electrode of a transistor are formed of the same material and in the same process without being extended on the element isolation region, in a dynamic memory device wherein a memory cell of 1 bit is composed of a piece of MOS transistor and MOS capacitor, respectively.

**CONSTITUTION:** The first thin gate oxide film 22 and the second much thinner gate oxide film 23 are connected and adhered on a P type Si substrate 21, and an N type polycrystalline Si film 24 is deposited over the entire surface. Next, the mask of a resist film 25 having an aperture at the element forming region is provided and etched, thus boring a groove going into the substrate, which groove is filled with an SiO<sub>2</sub> film 26. Thereafter the resist film 25 is renewed to a resist film 27 covering the gate electrode 32 and the capacitor 33 and etched, thus removing the exposed unnecessary polycrystalline Si film 24. Then, the N<sup>+</sup> source and drain regions 28 serving as a bit line are diffusion-formed on the exposed surfaces of the substrate 21 outside the film 26 and the electrode 32 and between the electrode 32 and 33.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

[of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59—178765

⑫ Int. Cl.<sup>3</sup>  
H 01 L 27/10  
G 11 C 11/34  
H 01 L 29/78

識別記号

101

府内整理番号  
6695—5F  
8320—5B  
7377—5F

⑬ 公開 昭和59年(1984)10月11日

発明の数 2  
審査請求 未請求

(全 5 頁)

⑭ 半導体装置及びその製造方法

川崎市幸区小向東芝町1 東京芝浦電気株式会社総合研究所内

⑮ 特願 昭58—52728

⑯ 出願人 株式会社東芝

⑰ 出願 昭58(1983)3月30日

川崎市幸区堀川町72番地

⑱ 発明者 齋田克彦

⑲ 代理人 弁理士 則近憲佑 外1名

明細書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 1個のMOSトランジスタと1個のMOSキャパシタにより1ビットのメモリセルを構成するマイナミック型半導体記憶装置において、前記MOSトランジスタのゲート電極と前記MOSキャパシタの電極とが同一の電極材料かつ同一工程で形成されて成り、前記ゲート電極及び前記キャパシタ電極が粒子分離領域に形成された絶縁膜上に定位しないように設置されている事を特徴とする半導体装置。

(2) 半導体基板の少なくとも実子形状領域に第1の絶縁膜を形成する工程と、少なくともMOSキャパシタを形成する領域のシリコン表面を露出させる工程と、前記露出されたシリコン表面に前記第1の絶縁膜より膜厚の小さな第2の絶縁膜を形成する工程と、同時に電極材料を鍛造する工程と、粒子分離領域に存在する前記電極材料、前記第1

の絶縁膜、前記第2の絶縁膜および半導体基板を遮断的にエッティング除去して凹部を形成する工程と、前記凹部に絶縁膜を埋め込む工程と、前記電極材料を部分的に除去して、少なくともMOSキャパシタ電極部およびゲート電極部を残すことなく残す工程と、前記第1の絶縁膜及び第2の絶縁膜を遮断的にエッティングして、ソースおよびドレイン領域を露出させ半導体基板と逆の不純物を注入することによりソースおよびドレイン領域を形成する工程と、前記MOSキャパシタ電極部およびゲート電極部を隔間掩蔽された第2の電極材料、第3の電極材料で配線する工程とを備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

[発明の属する技術分野]

本発明は半導体装置の製造方法に関するもので特に1個のMOSトランジスタと1個のMOSキャパシタにより1ビットのメモリセルを構成するメモリにおいてゲート電極及びキャパシタ電極を同一の電極材料で同時に形成しゲート電極及びキ

特開昭59-178765(2)

キャパシタ電極が電子分離領域上にないことを特徴とし、高密度なメモリセルの集成を可能にする製造方法を提供するものである。

#### 〔従来技術とその問題点〕

1個のMOSトランジスタと1個のMOSキャパシタ電極より1ビットのメモリセルを構成するダイナミックRAMは、大容量の半導体メモリを容易に形成することが可能なため、広く使われている。

従来のダイナミックセルのひとつの製造方法を図1(a)~(d)を使って以下に説明する。

まず例えけり型シリコン基板1を用意し、例えばシリコン酸化膜マスクを用いた簡易の選択酸化法を使って、フィールド酸化膜2を形成する。(第1回(a))

次に熱酸化により第1ゲート酸化膜3を形成し第1層ポリシリコン膜(第1層電極膜)を塗装して、これに高強度ドリン酸化を行なった後バーニングすることにより、ピットに選択的にMOSキャパシタ電極4を形成する。(第1回(b))

使用するのでベースピークが入る為、実際のキャパシタ面積より出来上がりのキャパシタ面積が小さくなる。これよりけり型シリコンに蓄えられる電荷量がマスク穿透通り作った場合のMOSキャパシタに蓄えられる電荷量に比べて小さくなり性能が低下する。

次に、かかる方法では、2層ポリシリコンを使用するので、第1層のポリシリコン側駆動部や第2層のポリシリコンが残り、それによりワード線端子が短絡したりするなどの欠点があり、かつ工程が2層ポリシリコンを使うことにより複雑になり歩留りが低下し、製品の信頼性が低下する問題があった。

第3回メモリセルを集積化する場合、ゲート電極あるいはキャパシタ電極が別の素子と接触しないように間隔をとらなければならなく、高強度化の際のさみかけとなる。

#### 〔発明の目的〕

本発明は以上の点にかんがみなされたものであり、1層のポリシリコン膜に上りゲート電極をや

次いで、第1ゲート酸化膜3をキャパシタ電極4をマスクとしてエッティング除去して改めて熱酸化により第2ゲート酸化膜5を形成し、第2層ポリシリコン膜(第2層電極膜)を塗装してこれをバーニングすることにより、MOSトランジスタのゲート電極6を形成し、リン扩散を行なってゲート電極5を低強度化すると同時に、ゲート電極6は自己整合された11層のドレインフ(ピット線)およびソース8を形成する(第2回)。

次いで、例えけり型シリコン酸化膜9で全面をぬるい、これにコンタクトホールをあけて、該膜10を蒸着しバーニングしてMOSトランジスタのゲート電極6にコンタクトするワード線11を形成する。最後に保護膜12を設せて完成する(第3回)。

しかしながら、かかる方法で製造したダイナミックセルは次の様な欠点があった。

まず第1に、メモリセルのMOSキャパシタに蓄えられる電荷量の多少によってダイナミックセルの性能が決まるが、従来例では選択酸化法を

キャパシタ電極を作り、かつ電子分離領域上にゲート電極及びキャパシタ電極を配置させない事により、MOSキャパシタの占有面積の増大を図り、性能の大域を向上と高信頼性、高い歩留りを可能とした半導体装置を提供することを目的としている。

#### 〔発明の概要〕

すなわち、本発明は上記目的を達成する為に同一の選択材料でしかも同一の工程でMOSキャパシタの電極部とMOSトランジスタのゲート電極が電子分離領域上のみに存在し、電子分離領域に形成された絶縁膜上に焼成しない。

このための製造方法としては、まず半導体基板の表面に第1のゲート酸化膜を形成し、少なくともMOSキャパシタを形成する領域の第1のゲート酸化膜を除去し半導体基板の表面を露出させる。次に露出させた半導体基板表面に第1のゲート酸化膜より膜厚の小さい第2の酸化膜を形成し、全固化電極材料を堆積したのちに電子分離領域を選択的にエッティング除去して溝を形成し、と共に

## 特開昭58-178765(3)

化膜を埋め込んで平坦化し、この後、MOSキャバシタ電極およびMOSトランジスタゲート電極を形成し、(ソース・ドレイン領域を形成した後)それぞれの電極を隔離して第2、第3の電極材料により所要の形状に配設する。

## 【発明の効果】

本発明の方法により次のよう効果が得られる。

- (1) 同一種電極材料で、しかし同一工程でMOSキャバシタ電極及びMOSトランジスタのゲート電極を形成できるので、工程が複雑でない限りが向上する。
- (2) MOSキャバシタ電極およびMOSトランジスタ電極が電子分離領域に存在しないため、隣りあうトランジスタのゲート電極あるいはキャバシタ電極どうしが接触しないようにするための間隔を必要とせず、この間隔は電子分離能力のみによって決まり、キャバシタ電極ゲート電極によるパターン設計の制限がなくなる。したがってノモリ粒子の間隔拡大が可能となる。
- (3) 電子分離領域上にゲート電極が存在しない為

ゲート電極の面積が減少し、したがって浮遊容量が減少し、ゲート電極のスイッチングに要する時間が短くなりより高速動作が可能となる。

- (4) 末子分離に遮蔽酸化法を使わないのでベースピークが入らず、MOSキャバシタの占有面積を遮蔽酸化法を使った場合に比べて大きくでき性能の高いダイナミックRAMを得ることができる。

## 【発明の実施例】

以下本発明の一実施例を第2図(4)～(6)(平面図と一剖面図)第3図(平面図)を用いて説明する。

まず第2図(4)に示すように、面方位(100)、比抵抗5～50Ω·cmのL型シリコン基板を用意し、次に熱酸化により第1ゲート酸化膜22を例えば400Å形成する。

次にMOSキャバシタを形成する領域の端にゲート酸化膜22を通常のレジスト工程によりエッチング除去して、改めて熱酸化により第2ゲート酸化膜23を例えば200Å程度形成する(第2図(5))。

このとき第2図(4)に示されている様にMOSキャバシタを形成する領域上り例えば0.8mm程度小さく第2ゲート酸化膜23を形成すれば、次のポリシリコン膜24を例えば反応性イオンエッチング(RIE)でエッティング所要の形状加工する場合のダメージ層の形成を防ぐことができる。

次に、第2図(5)に示すように、斜めにリンをドープしたポリシリコン膜24を全面に堆積する。

次に第2図(6)に示すように、全面にレジスト膜を塗布した後に、電子形成領域を残してこれをエッティングする。さらに残ったレジスト膜25をマスクとしてポリシリコン膜24、ゲート酸化膜22、23、基板21を順次選択的にエッティング除去して、フィールド領域に溝を形成する。

次に第2図(7)に示すように、この際CVD SiO<sub>2</sub>膜26を溝の深さより厚く堆積し、電子形成領域上のレジストをエッティング除去することによりリフトオフ法で溝部のみをCVD SiO<sub>2</sub>膜で平坦に埋め込むことができる。この工程は(特願昭56-55450号)にあるよう次ROX法による電子分離工

程を用いることでもできる。次に、通常のレジスト工程により、ゲート電極22、MOSキャバシタ電極23のレジストパターン27を形成し、例えは反応性イオンエッティングにより所要の形状化加工する。この後、レジスト膜27及びゲート電極22及びMOSキャバシタ電極23をマスクとして、第1ゲート酸化膜22、第2ゲート酸化膜23をエッティング除去し、ソース・ドレイン(ピットライン)28の半導体層を例えばAsをドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 、加速电压50 KeVでイオン注入する事により形成する。

次にレジスト膜27を除去した後、例えば1000°C 20分の熱酸化を行ない約300Åの酸化膜を形成し次いで全面に隔離絶縁膜として、CVD SiO<sub>2</sub>膜29を堆積する。この後、ゲート電極22の上にコンタクトホールを開け、例えばAl膜を蒸着し、ペターニングしてMOSトランジスタのゲート電極22にコンタクトするワード線30を形成する。さらに再び全面に隔離絶縁膜として、CVD SiO<sub>2</sub>膜31を堆積し、キャバシタゲート電極33の上にコンタクトホールを開け、例えばAl膜を蒸着し、ペターニング

特開昭59-178765(4)

して、キャバンタゲート電極33にコンタクトする電極34を形成する。最後に保護膜を被せて完成する(第2図④)。

第3図は第2図の平面図を示す。図中Aは $\pm$ ピットライン、Bはワードライン(AB)、CはMOSトランジスタのゲート電極、DはMOSキャバシタ電極である。

本実施例によって得られる効果は次のとおりである。

- (1) 一度ポリSiでMOSトランジスタのゲート電極及びMOSキャバシタ電極を同時に形成できることで工程が簡略でき、段差が2層ポリシリコンを使用する時にくらべて少なく、加工が容易となり、歩留りが向上する。
- (2) 离子分離領域上にはゲート電極及びキャバシタ電極が存在しないため隣りあうトランジスタのゲート電極あるいはキャバシタ電極同士が接触しないようにするための間隔は離子分離能力のみによって決まり、ゲート電極、キャバンタ電極によるパターン設計の制限がなくなる。し

たがって、メモリ選子の高集成化が可能となる。

(3) 選択酸化法を使わないのでバーズピークが入らず、MOSキャバンタの占有面積を大きくすることによって、低電圧の高いダイナミックRAMが得られる。

(4) MOSトランジスタのゲート電極とMOSキャバシタの電極間の距離が同一のエッティング工程で決まる為 $\pm$ 電極の抵抗の倍率のメモリセル毎のバラツキを減少することができる、從って製品の歩留り向上ができる。

#### 【発明の他の実施例】

上記実施例でのゲート電極、キャバンタ電極はポリシリコンに限らず、48 MOBi<sub>2</sub>などの金属性あるいはシリサイドであってもよいし、配線金属はAlだけに限らず高融点金属あるいは他の金属であっても同様な効果が得られると試明らかである。

さらに、層間絶縁膜もCVD SiO<sub>2</sub>に限らず他の絶縁膜であっても同様な効果が得られる。

さらには、上記実施例ではMOSトランジスタのゲート電極同士及びMOSキャバシタ電極同士を

接続するのに $\pm$ 配線を用いたが、例えば、ゲート電極同士の接続にはリンをドープしたポリシリコン膜を使用し、キャバンタ電極のみを $\pm$ 配線でつないでも同様の効果が得られる。

さらに上記実施例では $\pm$ 電極膜をピットラインとして使用したが、抵抗を下げるために、リンをドープしたポリシリコン膜をピットラインとして使用しても良い。

#### 4. 図面の簡単な説明

第1図①～③は従来のダイナミックRAMの製造工程を説明する断面図、第2図④～⑦は本発明のダイナミックRAMの製造工程を説明する断面図である。第3図は本発明のダイナミックRAMの平面図(ルーパ侧面が前記第2図に対応)である。

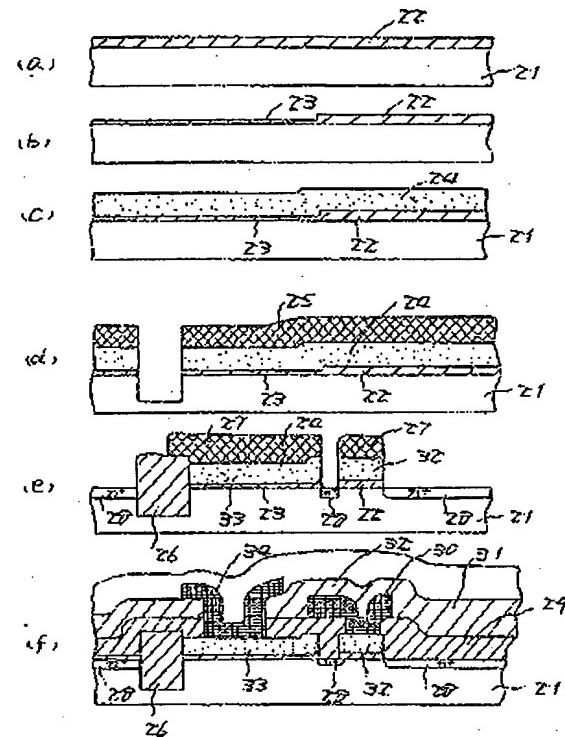
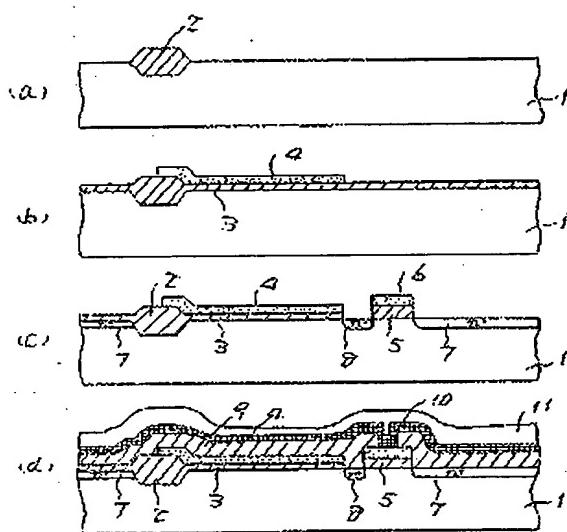
代理人 岸理士 周近彦佑  
(他1名)

BEST AVAILABLE COPY

特許昭59-178765(5)

第 2 図

第 1 図



第 3 図

